

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

6-18
JCS96 U.S. PTO
10/044799
01/10/02



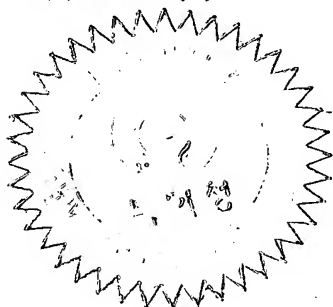
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Industrial
Property Office.

출원번호 : 특허출원 2001년 제 1572 호
Application Number

출원년월일 : 2001년 01월 11일
Date of Application

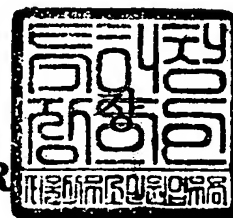
출원인 : 삼성전자 주식회사
Applicant(s)



2001 02 08
년 월 일

특 허 청

COMMISSIONER



【서류명】 특허출원서
【권리구분】 특허
【수신처】 특허청장
【제출일자】 2001.01.11
【발명의 명칭】 자기 정렬 콘택의 게이트 스페이서를 형성하는 방법
【발명의 영문명칭】 A method for forming gate spacer of self-aligned contact

【출원인】
【명칭】 삼성전자 주식회사
【출원인코드】 1-1998-104271-3
【대리인】
【성명】 박상수
【대리인코드】 9-1998-000642-5
【포괄위임등록번호】 2000-054081-9
【발명자】
【성명의 국문표기】 서 준
【성명의 영문표기】 SEO, JUN
【주민등록번호】 701012-1114216
【우편번호】 445-974
【주소】 경기도 화성군 태안읍 병점리 485번지 한신아파트 110-80
【국적】 KR
【발명자】
【성명의 국문표기】 송종희
【성명의 영문표기】 SONG, JONG HEUI
【주민등록번호】 660316-1638156
【우편번호】 441-390
【주소】 경기도 수원시 권선구 권선동 1265번지 보성아파트 611-1104
【국적】 KR
【심사청구】 청구
【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 박상수 (인)

【수수료】

【기본출원료】 17 면 29,000 원

【가산출원료】 0 면 0 원

【우선권주장료】 0 건 0 원

【심사청구료】 6 항 301,000 원

【합계】 330,000 원

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 자기정렬 콘택(self-aligned contact)의 게이트 스페이서의 형성 방법에 관한 것으로, 반도체 기판(2) 상에 도전막 패턴(8, 10)을 형성하고, 상기 도전막 패턴(8, 10) 위에 산화막(12)을 형성하고, 상기 산화막(12)을 형성한 후에 상기 산화막(12) 및 반도체 기판(2) 위에 게이트 스페이서 막(14)을 증착하고, 상기 게이트 스페이서 막(14) 상에 포토 레지스트(22)를 도포하고, 상기 도포된 포토 레지스트(24) 및 게이트 스페이서 막(14)을 일정 식각비로 식각하여 제거하고, 잔류 포토 레지스트(24)를 애싱(ashing)하여 스트립하고, 상기 게이트 스페이서 막(14)을 에칭 백 하는 공정을 포함하는 것을 특징으로 하는 자기정렬 공정의 게이트 스페이서를 형성하는 방법을 제공함으로써 최종 패드의 큰 오픈 마진을 확보할 수 있고, 에스펙트 비(aspect ratio)를 낮게 유지할 수 있다.

【대표도】

도 1

【색인어】

자기정렬 콘택(SAC), 기계적 화학적 연마(CMP), 에스펙트 비(aspect ratio)

【명세서】**【발명의 명칭】**

자기 정렬 콘택의 게이트 스페이서를 형성하는 방법{A method for forming gate spacer of self-aligned contact}

【도면의 간단한 설명】

도 1은 반도체 메모리 장치(semiconductor memory device)의 셀 어레이 영역을 비트라인과 나란한 방향으로 절단한 단면도로서, 식각 정지층이 노출되도록 형성된 스토리지 전극 콘택 홀과 비트라인 콘택 홀을 보여주는 단면도이다.

도 2a 및 도 2b는 도 1의 참조 번호 20에 대한 부분 도면으로서, 도 2a는 종래의 자기정렬 콘택의 식각 정지층 식각 방법에 의해 식각 정지층이 식각된 모습을 보여주는 단면도이고, 도 2b는 본 발명의 일실시예에 의해 형성된 식각 정지층이 식각된 모습을 보여주는 단면도이다.

도 3a 내지 도 3f는 본 발명의 일실시예에 의해 형성되는 게이트 스페이서(gate spacer)의 형성 방법을 순서적으로 도시한 도면이다.

도 4a 및 도 4b는 종래의 자기정렬 콘택 공정에 의해 형성된 패드를 나타내는 단면도이다.

도 5a 및 도 5b는 본 발명의 일실시예에 의해 형성된 자기정렬 콘택 공정에 의해 형성된 패드를 나타내는 단면도이다.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<6> [산업상 이용분야]

<7> 본 발명은 자기정렬 콘택(self-aligned contact)의 게이트 스페이서의 형성 방법에 관한 것으로, 더욱 상세하게는 자기정렬 콘택의 게이트 스페이서의 형성 방법에 관한 것이다.

<8> [종래 기술]

<9> 도 1은 반도체 메모리 장치(semiconductor memory device)의 셀 어레이 영역(cell array region)을 비트 라인과 나란한 방향으로 절단한 단면도로서, 식각 정지층이 노출 되도록 형성된 스토리지 전극 콘택 홀(storage electrode contact hole)과 비트 라인 콘택 홀(bit line contact hole)을 보여주는 단면도이다.

<10> 도 1을 참조하면, 현재 반도체 메모리 장치의 스토리지 전극 콘택 홀(18a)과 비트 라인 콘택 홀(18b)은 자기 정렬 콘택 형성 방법을 사용하여 형성되고 있다.

<11> 반도체의 자기 정렬 콘택 형성 공정은 패드(pad)를 형성하기 위한 공정으로 이용되고 있고, 여기에서 형성된 패드에는 후속 공정의 라인 형성을 위한 또 다른 콘택을 만들게 된다.

<12> 상기 자기 정렬 콘택 형성 방법은 게이트 마스크 패턴(gate mask pattern)(10)과 게이트 스페이서(gate spacer)(12)를 층간 절연막(16)에 대해 높은 식각 선택비(etch selectivity)를 갖는 막질을 사용하고, 이러한 높은 식각 선택비를 사용하여 상기 층간

절연막(16)을 선택적으로 식각하는 방법이다.

<13> 도 2a 및 도 2b를 참조하면, 상기 콘택 홀(18a, 18b) 형성시, 상기 콘택 홀 하부의 반도체 기판(2) 특히, 소자 격리막(4)이 심하게 어택(attack)되는 것을 방지하기 위해서 일반적으로 상기 층간 절연막(16) 형성 전에 상기 층간 절연막(16)의 식각 정지층(14)으로서, 예를 들어 100 Å 두께의 얇은 실리콘 질화막(thin film nitride)(14)이 증착된다.

<14> 후속 공정으로 상기 식각 정지층(14)을 식각하는 공정이 수행되는데, 종래에는 RIE(reaction ion etching) 또는 MERIE(magnetically-enhanced reactive ion etching) 챔버(chamber) 내에서 수행되었다. 이때, 식각 가스는 CH_3 또는 CF_4 로서 캐리어 가스(carrier gas)인 Ar과 식각 균일도(etch uniformity)를 위한 O_2 가 함께 사용된다. 상기 챔버 및 가스 조건에서 상기 실리콘 질화막(14)의 식각률은 900 Å/분이 된다.

<15> 상기 종래의 식각 정지층 식각 방법에 의해 식각 정지층(14)이 식각된 결과가 도 2에 도시되어 있다. 이때, 상기 식각률로 100 Å 두께의 얇은 실리콘 질화막(14)을 식각하기 위한 식각 시간(etch time)은 10초로써, 식각 공정 마진(margin)이 매우 적게 된다는 문제점이 있다.

<16> 또한, 패턴이 미세화됨에 따른 공정 애로 사항이 발생하고 있다.

<17> 첫째로 패턴이 미세화될수록 게이트 라인(gate line)과 라인 사이의 스페이스가 작아짐에 따라 에스펙트 비(aspect ratio)가 증가되어 자기정렬 콘택(SAC) 공정의 오픈(Open) 마진이 감소하게 되며, 둘째로 게이트 라인과 라인 사이의 스페이스가 작아짐과 동시에 패드 콘택 홀(Pad contact hole)과 홀 간의 간격도 좁아져 패드 브릿지(Pad

bridge)를 유발하게 된다는 문제점이 발생하였다.

<18> 이를 해결하기 위하여, 기존의 자기정렬 콘택(SAC) 공정에서 라인 타입 SAC 공정을 채용하였는데 기존 공정과의 차이점은 자기정렬 콘택(SAC) 에칭 후에 게이트 라인이 들어 난 상태이기 때문에 게이트 라인 위까지 폴리 실리콘 층을 제거하여야만 노드가 분리될 수 있다는 점과 이로 인해 패드 폴리 실리콘 증착(Poly Deposition) 후 노드를 분리하는 경우도 4a 및 도 4b에 도시한 바와 같이 CMP(Chemical Mechanical Polishing) 공정을 필요로 하고 있다.

<19> 그러나, 이러한 기술에서도 자기정렬 콘택(SAC) 공정을 거친 후 폴리 실리콘 층을 증착(Deposition)하여 CMP 공정으로 노드를 분리하는 경우에는 과도한 CMP 공정이 필요하며, 이 때 폴리 실리콘 층이 손실되고 후속의 클리닝(Cleaning) 공정시 또한 폴리 실리콘 층이 손실되어 계속적으로 패드가 작아진다는 문제점이 있다.

【발명이 이루고자 하는 기술적 과제】

<20> 본 발명은 위에서 설명한 바와 같은 문제점을 해결하기 위하여 안출된 것으로서, 본 발명의 목적은 자기정렬 콘택(SAC)의 오픈(Open) 마진을 향상시키고 패드(pad) 크기를 증가시킨 게이트 스페이서를 형성하는 방법을 제공하는 것이다.

【발명의 구성 및 작용】

<21> 본 발명은 상기한 목적을 달성하기 위하여, 본 발명은

<22> 반도체 기판(2) 상에 도전막 패턴(8, 10)을 형성하고,

<23> 상기 도전막 패턴(8, 10) 위에 산화막(12)을 형성하고,

<24> 상기 산화막(12)을 형성한 후에 상기 산화막(12) 및 반도체 층(2) 위에 게이

트 스페이서를 증착하고,

<25> 상기 게이트 스페이서(14) 상에 포토 레지스트(24)를 도포하고,

<26> 상기 도포된 포토 레지스트(24) 및 산화막(12)을 소정의 식각비로 식각하여 제거하고,

<27> 잔류 포토 레지스트(24)를 애싱(ashing)하여 스트립하고,

<28> 상기 게이트 스페이서(14)를 에칭 백 하는

<29> 공정을 포함하는 것을 특징으로 하는 자기정렬 공정의 게이트 스페이서를 형성하는 방법을 제공하는 것이다.

<30> 이하, 본 발명을 첨부한 도면을 참조하여 본 발명의 일실시예를 상세히 설명한다.

<31> 본 발명에 따른 구조를 형성하기 위해서는, 첫째로 스페이서 에칭 시에 실리콘 기판의 리세스(recess)를 현수준으로 유지하여야 하고, 둘째로 SiN 스페이서 에칭시 산화물의 손실을 최소화하여야 하고, 셋째로 SAC 에칭과 식각 정지층(stopper)인 SiN 제거시 게이트 마스크 위의 산화물이 유지되어야 하는 문제가 해결되어야 한다.

<32> 이를 위해서 본 발명에서는 다음과 같은 순서로 공정을 진행함으로써 상기의 문제점을 해결한다.

<33> 본 발명에서 사용되는 도면 부호는 동일한 구조의 부호인 경우에는 동일한 부호를 사용한다.

<34> 도 3a 내지 도 3f는 본 발명의 일실시예에 따라 제조되는 자기 정렬 콘택의 게이트 스페이서를 형성하는 방법을 순서적으로 도시한 도면이다.

<35> 먼저, 반도체 기판(2) 위에 활성 영역과 비활성 영역을 정의하기 위한 소자 격리막

(4)을 형성한다.

<36> 상기 소자 격리막(4) 상에 게이트 전극 패턴(8), 게이트 마스크 패턴(10), 및 게이트 스페이서(14)를 포함하는 워드 라인(word line)을 증착하여 게이트 라인을 형성한다. 상기 전극 패턴은 폴리 실리콘 막 및 텅스텐 실리사이드 막(WSi)이 차례로 적층된 다층 도전막으로 형성되는 것이 바람직하다. 상기 폴리 실리콘 막 및 텅스텐 실리사이드 막은 각각 1000 Å 및 1500 Å 두께로 형성되는 것이 바람직하다.

<37> 그리고, 상기 게이트 마스크 패턴은 실리콘 질화막(Si_3N_4)(10) 및 산화막(oxide)(12)이 차례로 적층된 다층 절연막으로 형성되는 것이 바람직하다. 상기 실리콘 질화막(10) 및 산화막(12)은 각각 1500 Å 및 1000 Å 두께로 형성되는 것이 바람직하다.

<38> 상기 게이트 스페이서(14)는 실리콘 질화막(14)이 증착 및 건식되어 700 Å의 폭을 갖도록 형성되는 것이 바람직하다.

<39> 그리고 나서, 형성된 게이트 라인을 에칭한다.

<40> 상기 게이트 라인을 에칭한 후 반도체 기판(2) 전면에서 자기정렬 콘택 형성시 반도체 기판과 소자 격리막이 어택(attack)되는 것을 방지하기 위하여 후속 층간 절연막(16)의 식각에 대한 식각 정지층으로 얇은 실리콘 질화막, 즉 게이트 스페이서(14)가 증착된다. 상기 실리콘 질화막은 게이트 스페이서로서의 역할을 동시에 갖게된다. 상기 실리콘 질화막은 100 Å 이하로 증착되는 것이 바람직하다.

<41> 후속 층간 절연막(16)의 식각시 식각은 식각 정지층에서 정지하고, 이때 실리콘 질화막인 게이트 스페이서(14)의 숄더(shoulder)를 낮추기 위하여 상기 실리콘 질화막을

증착한 후 포토 레지스트(24)를 증착한다.

<42> 상기 포토 레지스트(24)는 일반적으로 사용되는 유기물을 사용하며, 증착되는 두께는 1000 Å 이상이 바람직하다.

<43> 그리고 나서, 상기 실리콘 질화막인 게이트 스페이서의 솔더를 요구수준으로 낮출 수 있도록 포토 레지스트(24)를 식각 정지층(stopper)으로 활용하기 위해 상기 포토 레지스트를 에칭 백(etch back) 한다.

<44> 상기 식각 공정은 TCP 장비를 사용하며, 식각 가스로는 SF₆, CF₄, O₂ 및 HBr의 혼합 가스를 사용하는 것이 바람직하다.

<45> 상기 포토 레지스트가 에칭되는 정도는 게이트 스페이서가 게이트 전극이 위치하는 곳에서부터 최소한 400 Å 이상이 되도록 형성되는 것이 바람직하다.

<46> 그리고 나서, 실리콘 질화막(SiN) 스페이서(14)를 에칭하기 위해 잔류하는 포토 레지스트(24)를 제거하기 위하여 애싱(ashing)을 진행한다.

<47> 상기 애싱 공정 후, 상기 식각 정지층 상에 층간 절연막(16)으로 BPSG막(borophospho silicate glass layer)을 증착하는 것이 바람직하다. 상기 층간 절연막(16)은 9500 Å 정도로 증착되는 것이 바람직하며, 후속 공정으로 최종 패드 형성 공정을 진행하는데 이때, 그 상부가 평탄화 되도록 예를 들어, 화학적 기계적 연마(CMP) 공정을 사용하므로 3000 Å 정도가 식각되어 6500 Å의 두께로 남게된다.

<48> 상기 층간 절연막(16)을 증착한 후에는 게이트 스페이서(14)와 층간 절연막(16)을 함께 식각한다.

<49> 상기 식각시에는 게이트 마스크의 산화막(12)의 손실을 최소로 하는 것이 바람직하

다.

<50> 상기 층간 절연막(16)의 식각은 상기 식각 정지층인 실리콘 질화막에서 정지된다.

<51> 이와같은 공정을 진행함으로써 도 5a에 도시한 바와 같은 자기 정렬 콘택이 형성되게 된다. 상기 콘택은 게이트 스페이서(14)의 솔더의 일측부가 종래의 경우보다 더 낮아짐을 알 수 있다.

<52> 그리고, 자기정렬 콘택 형성 공정 후의 최종 패드 형성 공정은 기존의 공정과 동일하게 진행된다.

<53> 즉, 자기정렬 콘택을 형성한 후 형성된 콘택 홀에 폴리머를 증착한다. 그리고 나서, 노드(node)를 분리하기 위해서 화학적 기계적 연마(chemical mechanical polishing) 공정을 진행한다.

<54> 이와 같이 함으로써 도 5b에 도시한 바와 같이, 최종 반도체 패드의 오픈 마진을 크게 확보할 수 있고, 최종 반도체 패드의 크기도 커짐을 알 수 있다.

【발명의 효과】

<55> 이상 설명한 바와 같이, 본 발명에 따라 자기정렬 콘택을 형성하는 경우 큰 오픈 마진을 확보할 수 있고, 에스펙트 비(aspect ratio)를 낮게 유지할 수 있으며, CMP 공정 후 생성되는 반도체 패드의 크기를 크게 유지할 수 있다.

【특허청구범위】**【청구항 1】**

반도체 기판(2) 상에 도전막 패턴(8, 10)을 형성하고,
상기 도전막 패턴(8, 10) 위에 산화막(12)을 형성하고,
상기 산화막을 형성한 후에 상기 산화막(12) 및 반도체 층(2) 위에 게이트 스페이서(14)를 증착하고,
상기 게이트 스페이서(14) 상에 포토 레지스트(24)를 도포하고,
상기 도포된 포토 레지스트(24) 및 산화막(12)을 소정 식각비로 식각하여 제거하고,
잔류 포토 레지스트(24)를 애싱(ashing)하여 스트립하고,
상기 게이트 스페이서(14)를 에칭 백 하는
공정을 포함하는 것을 특징으로 하는 자기정렬 콘택의 게이트 스페이서 형성 방법.

【청구항 2】

제 1항에 있어서,
상기 포토 레지스트(24) 및 산화막(12)을 식각하는 경우, 상기 식각 공정은 TCP 장비를 사용하며, 식각 가스로는 SF₆, CF₄, O₂ 및 HBr의 혼합 가스를 사용하는 자기정렬 공정의 게이트 스페이서를 형성하는 방법.

【청구항 3】

제 1항에 있어서,

상기 포토 레지스트(24)가 게이트 스페이서(14)의 식각시 식각 정지층으로 사용되는 자기정렬 콘택 공정의 게이트 스페이서를 형성하는 방법.

【청구항 4】

제 1항에 있어서,

상기 증착되는 포토 레지스트의 두께는 1000 Å 이상인 것인 자기정렬 콘택 공정의 게이트 스페이서를 형성하는 방법.

【청구항 5】

제 1항에 있어서,

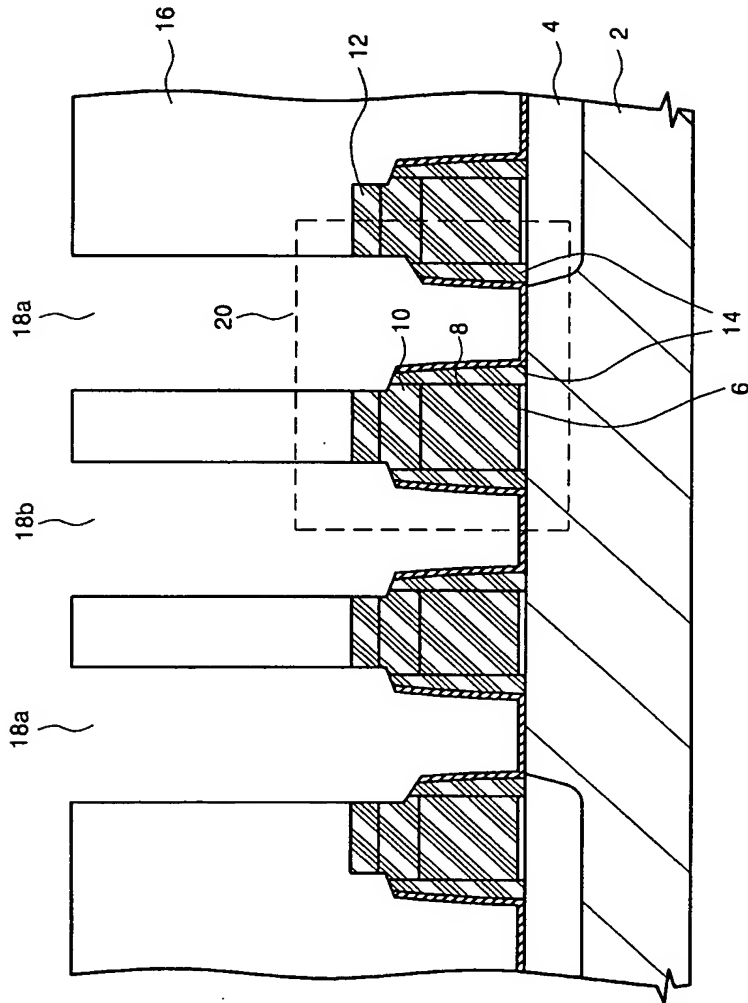
형성되는 게이트 스페이서 솔더의 높이는 게이트 전극보다 400 Å보다 높은 자기정렬 콘택 공정의 게이트 스페이서를 형성하는 방법.

【청구항 6】

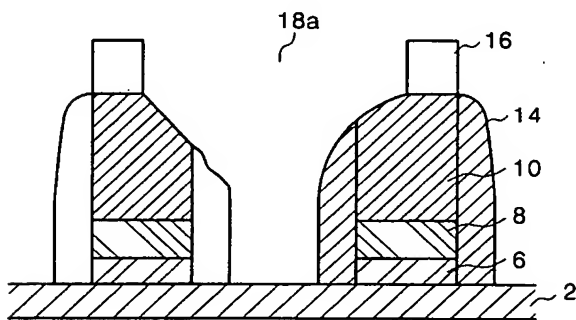
제 1항의 자기정렬 콘택의 게이트 스페이서 형성 방법을 포함하고, 반도체 패드의 상부를 평탄화시키기 위한 화학적 기계적 연마 공정(CMP)을 포함하는 것을 특징으로 하는 반도체 제조 방법.

【도면】

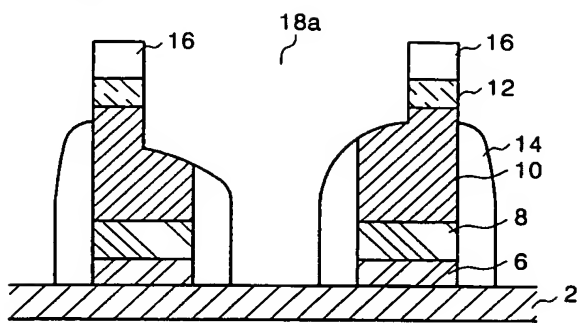
【도 1】



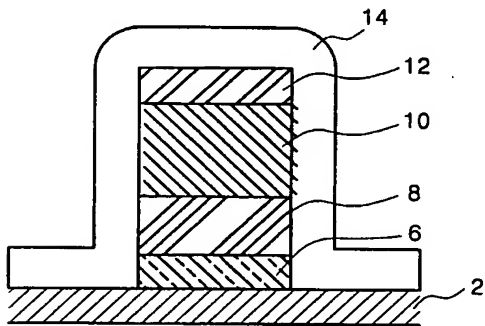
【도 2a】



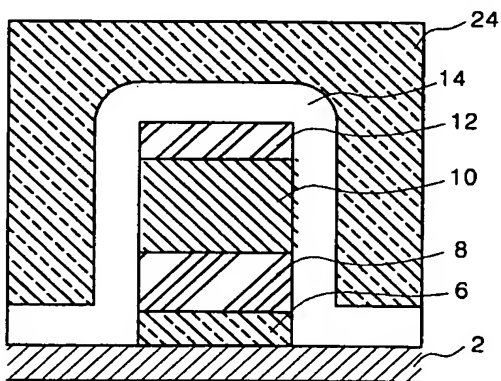
【도 2b】



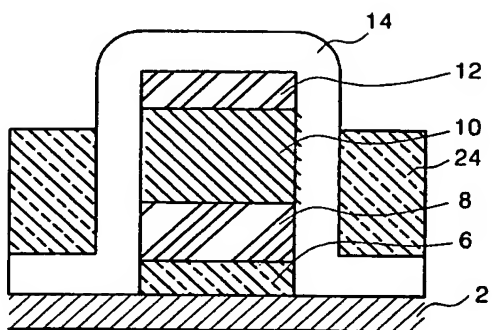
【도 3a】



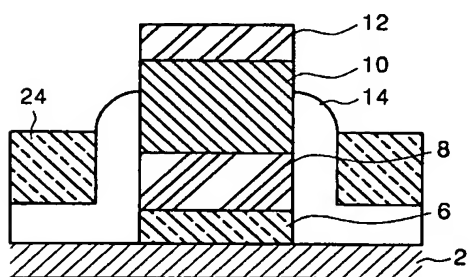
【도 3b】



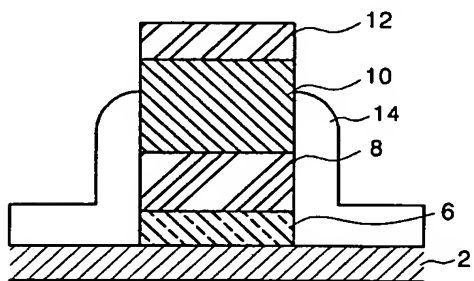
【도 3c】



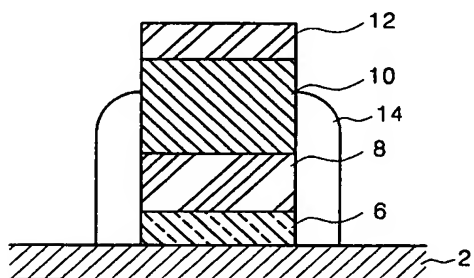
【도 3d】



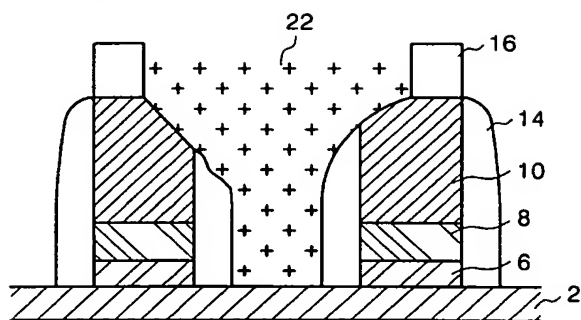
【도 3e】



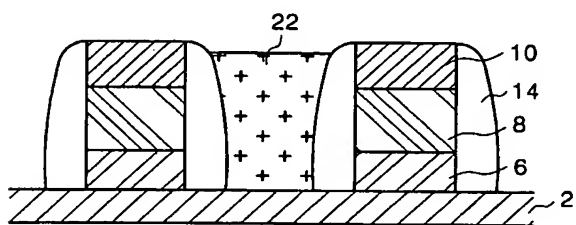
【도 3f】



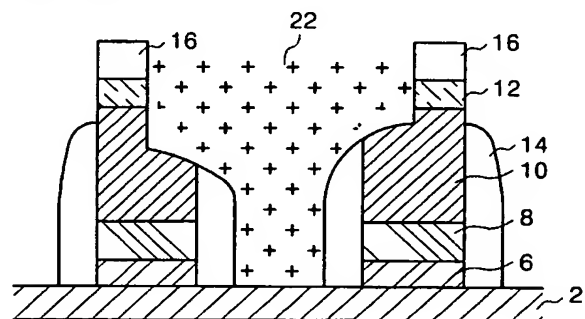
【도 4a】



【도 4b】



【도 5a】



【도 5b】

